ارائه فلیپ–فلاپ سه ارزشی با توان بسیار پایین با بهره‌گیری از ترانزیستورهای اثرمیدانی نانولوله‌های کربنی

تاریخ دریافت: ۱۴۰۴/۰۱/۰۹
تاریخ پذیرش: ۱۴۰۴/۰۷/۰۴

محمود یزدان‌پناه [۱]، پیمان کشاورزیان [۲]، مختار محمدی قناتغستانی [۳]

۱- دانشجوی دکتری، دانشکده مهندسی کامپیوتر، واحد کرمان، دانشگاه آزاد اسلامی، کرمان، ایران m.yazdanpanah@iau.ir
۲- دانشیار، دانشکده مهندسی کامپیوتر، واحد کرمان، دانشگاه آزاد اسلامی ، کرمان، ایران
۳- استادیار، دانشکده مهندسی کامپیوتر، واحد بم، دانشگاه آزاد اسلامی ، بم، ایران

چکیده

در این مقاله ما ابتدا به بررسی ترانزیستورهای نانولوله کربنی می‌پردازیم. ترانزیستورهای نانولوله کربنی به خاطر داشتن ولتاژ آستانه متغیر و قابل کنترل می‌توانند برای پیاده سازی منطق‌های چندارزشی مورد استفاده قرار گیرند.در این مقاله به بررسی مدارهای فلیپ-فلاپ سه ارزشی می‌پردازیم. این مدارها کاربرد بسیار زیادی در سیستم‌های الکترونیک دیجیتال دارند. با استفاده از منطق‌های چند ارزشی، یک ساختار جدید فلیپ-فلاپ نوع D ارائه می‌کنیم. مدار ارائه شده توان مصرفی بسیار پایینی (بیش از ۶۱ درصد کاهش) نسبت به دیگر ساختارها دارد. همچنین مدار ارائه شده تعداد ترانزیستور کمتری نسبت به مدارهای مورد مقایسه داشته که نتیجه آن کاهش مساحت مصرفی روی تراشه است. این مدار توان مصرفی استاتیک برای تولید ارزش میانی نداشته که این خود باعث می‌شود نسبت به تغییرات مشخصه‌های ترانزیستوری بسیار مقاوم باشد. همچنین در ادامه ساختار ارائه شده را در دما و ولتاژ منبع تغذیه مختلف کاری شبیه سازی کرده و نتایج آن را با ساختارهای دیگر مورد مقایسه قرار دادیم. ساختار ارائه شده نتایج بهتری نسبت به ساختار مقایسه شده داشته و نسبت به این تغییرات بسیار مقاوم می باشد. مدار ارائه شده به دلیل داشتن توان مصرفی بسیار پایین در کاربردهای هوافضا قابل استفاده می باشد.

واژه‌های کلیدی: *توان پایین، نانولوله کربنی ، فلیپ-فلاپ، چند ارزشی، مساحت مصرفی*

Proposing an ultra low power three-valued flip-flop by using carbon nanotube field effect transistor

Mahmoud Yazdanpanah[1], Peiman Keshavarzian[2], Mokhtar Mohammadi Ghanatghestani[3]

1- Department of Computer Engineering,Kerman Branch,Islamic Azad University, Kerman, Iran.
2- Department of Computer Engineering,Kerman Branch,Islamic Azad University, Kerman, Iran.
3- Department of Computer Engineering,Bam Branch,Islamic Azad University, Bam, Iran

Abstract

This paper explores the use of carbon nanotube transistors for implementing multi-valued logic, made possible by their highly controllable threshold voltage. The ability to tune the threshold voltage enables the generation of multiple sensitivity levels, which makes these devices particularly attractive for advanced and scalable circuit designs. In this study, a novel three-valued D Flip-Flop structure is introduced, described in detail, and thoroughly analyzed. The proposed circuit achieves more than 61% reduction in power consumption compared to conventional binary-based designs. In addition, it requires fewer transistors overall, which translates into a smaller chip area and improved integration density. Unlike other available structures, the design does not consume static power to generate intermediate logic values, thereby improving its robustness against variations in transistor characteristics and fabrication uncertainties. To validate its effectiveness, the circuit was simulated under a wide range of operating temperatures and supply voltages. The results confirm superior performance, strong tolerance to environmental variations, and extremely low power consumption, making it especially suitable for aerospace applications.

Keywords: *Low Power, Carbon Nanotube, Flip-Flop, Multi-Valued, Area Consumption.*

۱- مقدمه

بخش بزرگی از موفقیت ترانزیستورهای سیلیکونی به دلیل مقیاس پذیری آن به ابعاد بسیار کوچکتر می‌باشد که این عمل برای رسیدن به عملکرد بهتر صورت می‌گیرد. این روند همچنان مطابق با قانون مور ادامه دارد و تکنولوژی مبتنی بر سیلیکون طی چند دهه گذشته رشد چشمگیری داشته است [۱]. با این حال، همچنان که اندازه ترانزیستورهای اثرمیدانی نیمه‌رسانا اکسید-فلز به محدودیت خود در ناحیه نانومتری نزدیک می‌شوند، صنعت نیمه هادی به دنبال مواد مختلف و قطعه‌های جایگزین برای ادغام با تکنولوژی مبتنی بر اثر میدان فعلی است. در طول چند دهه گذشته، نانولوله‌های کربنی به علت ساختار منحصر به فرد خود و خواص فیزیکی عالی، توجه زیادی را در زمینه الکترونیک به خود جلب کرده‌اند [۲-۵].این نانولوله‌های کربنی کاربردهای بسیار زیادی در الکترونیک دارند[۶-۹]. استفاده از نانولوله کربنی در منطقه کانال FET ، برای به دست آوردن یک قطعه جدید به نام ترانزیستور اثر میدان نانولوله کربن ، اولین بار در سال ۱۹۹۸ نشان داده شد [۱۰]. به علت تحرک الکتریکی بالا، پایداری مکانیکی و حرارتی نانولوله کربنی، ترانزیستورهای نانولوله کربنی به عنوان یکی از نامزدهای امیدوار کننده برای الکترونیک پس از سیلیکون در نظر گرفته می‌شوند[۱۱-۱۴،۳۷].

مقاله [۱۵] یک بررسی کامل در مورد نانولوله کربنی ارائه کرده است. در این مقاله، ساخت نانولوله کربنی، روش‌های به دست آوردن نوع خاصی از نانولوله کربنی، تصفیه آنها (انتخاب نانو لوله‌های مناسب) و قرار دادن مناسب نانولوله کربنی مورد بحث قرار گرفته است. با توجه به روند کنونی علاقه گسترده به ترانزیستورهای نانولوله کربنی ها، ممکن است در آینده نزدیک نانولوله کربنی های مناسب از نظر ابعاد و ساختار را در منطقه کانال با تغییرات بسیار کم قرار داده تا شرایط تجاری سازی آن محیا شود. اگرچه تحقیقات مربوط به مسائل مرتبط با ساخت و تصفیه نانولوله کربنی همچنان ادامه دارد، ما می‌توانیم امکان ایجاد مدارهای جدیدی را با استفاده از ترانزیستورهای نانولوله کربنی برای پیاده سازی با کارایی بالا را مورد بررسی قرار دهیم [۳،۵].

امروزه بسیاری از مطالعات برای طراحی و بررسی کاربرد ترانزیستورهای نانولوله کربنی در گیت‌های منطقی و ارزیابی عملکرد آنها در مقایسه با تکنولوژی موجود سیلیکونی ادامه دارد. کاربردهای مدار نانولوله کربنی شامل گیت‌های منطقی باینری [۷،۱۶-۱۹]، گیت‌های منطقی سه ارزشی [۶]، سلول‌های حافظه سه ارزشی و باینری [۸،۱۸] و منطق‌های چند ارزشی [۹،۲۰] است. استفاده از ترانزیستورهای نانولوله کربنی برای منطق‌های چند ارزشی بسیار مورد توجه است زیرا ولتاژ آستانه نانولوله کربنی می‌تواند با انتخاب مناسب بردار کایرال نانولوله کربنی کنترل شود. بردار کایرال شبکه‌های گرافیتی تعیین کننده ساختار فیزیکی آنها است. مدارات منطقی ازجمله جمع کننده ها، ضرب کننده‌ها و همچنین حافظه‌های مختلف برای به دست آوردن تأخیر کمتر، کاهش توان مصرفی‌و کاهش پیچیدگی‌های اتصالات و مسیرهای داخلی قطعه، با استفاده از ترانزیستور نانولوله کربنی طراحی شده اند.

در حال حاضر اتصالات داخلی قطعه به دلیل استفاده از ماژول‌های زیاد در یک تراشه، به یک چالش جدی تبدیل شده اند. در یک تراشه با مدار معمولی دودویی، ۷۰٪ از مساحت توسط اتصالات،

٪۲۰ برای عایق و فقط ٪۱۰ برای ترانزیستورها اشغال می‌شود [۲۱]. همچنین این اتصالات توان زیادی را تلف می‌کنند، زمان تاخیر را افزایش می‌دهند و باعث ایجاد اثرات مخرب و ناخواسته اتصال مانند افزایش خازن ها، مقاومت‌ها و سلف‌ها می‌شوند. منطق چندارزشی می‌تواند مشکل‌های مربوط به مسیریابی مدارهای مجتمع با تراکم بالا سیستم باینری را حل و بهبود بخشد. در حالت چند ارزشی، تعداد کمتری عدد برای ذخیره سازی، نمایش و محاسبه داده مورد نیاز است. مزیت‌های دیگر آن، سرعت محاسبه بالا، حافظه‌هایی با چگالی ذخیره سازی بالا، توانایی ارسال و دریافت داده ی بالا و ساده بودن بررسی و آزمایش آن است. بهرحال، سیستم چند ارزشی نسبت به سیستم باینری سطح سیگنال بیشتری دارد. این پدیده و نویز سیگنال سیستم که حاشیه نویز می‌باشد، در مقابل تغییرات ناخواسته ساخت بیشتر آسیب پذیر است. اگر این مساله به طور مناسب حل نشود دیگر نمی‌توان از مدارهای چند ارزشی برای طراحی سیستم‌های الکترونیکی استفاده کرد زیرا با توجه به حساس بودن ارزش‌های میانی به نویز، مقادیر آنها به صورت ناخواسته تغییر کرده و نتایج اشتباه خواهند بود.

۲- منطق چند ارزشی و ترانزیستور نانو لوله کربنی

برخلاف محاسبات باینری، منطق چند ارزشی بیشتر از دو حالت منطقی استفاده می‌کند. امروزه منطق سه ارزشی به دلیل مزایای بالقوه آن نسبت به منطق باینری برای طراحی سیستم‌های دیجیتالی توجه قابل ملاحظه ای را به خود جلب کرده است. سادگی و کارایی طراحی، نیاز به حافظه کمتر و اتصالات کمتر، کاهش سطح تراشه، پهنای باند انتقال موازی و سریال، پتانسیل بالا برای افزایش سرعت محاسبات، کاهش فعالیت سوئیچینگ، و پیاده سازی بسیاری از توابع ریاضی و منطقی در یک واحد تراشه بعضی از مزایای چند ارزشی است [۶-۹].

ساختار ترانزیستور نانولوله کربنی شبیه به ترانزیستورهای اثرمیدانی نیمه‌رسانا اکسید-فلز معمولی است که در آن نیمه رسانای نانولوله کربنی تک دیواره در منطقه کانال استفاده می‌شود. تناسب ترانزیستور نانولوله کربنی برای کاربرد در منطق سه ارزشی نهفته در این واقعیت است که ولتاژ آستانه ترانزیستور نانولوله کربنی را می‌توان با انتخاب مناسب بردار کایرال نانولوله کربنی کنترل کرد. این به دلیل وابسته بودن ولتاژ آستانه برای یک ترانزیستور نانولوله کربنی به شکاف باند نانولوله کربنی است که به جهت گیری گرافن برای بدست آوردن نانولوله کربنی مربوط می‌باشد. به طور کلی، بردار کیرال برای یک نانولوله کربنی خاص با دو عدد صحیح (m،n) نشان داده می‌شود [۲۲].

علاوه بر این، قطر یک نانولوله کربنی از نظر (m،n) به صورت زیر است [۲۲]:

$$d_{CNT} = \frac{a}{\pi}(n^2 + m^2 + nm)^{\frac{1}{2}}\, a = |\overrightarrow{a_1}| = |\overrightarrow{a_2}| = 1.42 \times \sqrt{3} = 2.46A^o \quad (۱)$$

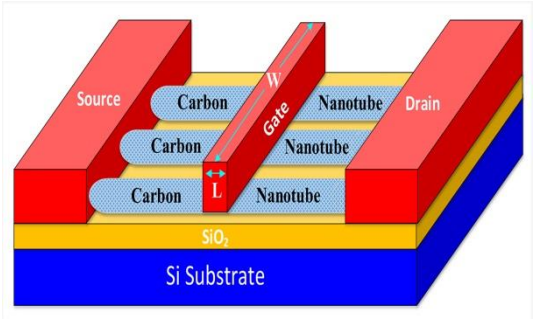
که a1 و a2 بردارهای اولیه گرافن هستند.

ساختار یک ترانزیستور نانولوله کربنی در شکل ۱ نشان داده شده است. در این شکل، نانولوله‌های نیمه هادی بدون ناخالصی در زیر گیت به عنوان ناحیه کانال قرار می‌گیرند، در حالی که بخش‌های نانولوله کربنی دارای ناخالصی

زیاد بین گیت و درین/سورس قرار می‌گیرند تا بتوانند مقاومت کمتری در حالت روشن داشته باشند. هنگامی‌که پتانسیل گیت افزایش می‌یابد، قطعه به طور الکترواستاتیک از طریق گیت روشن یا خاموش می‌شود و ولتاژ آستانه نانولوله کربنی داخلی در کانال که یک تابع معکوس اندازه قطر است به صورت زیر داده می‌شود [۲۲]:

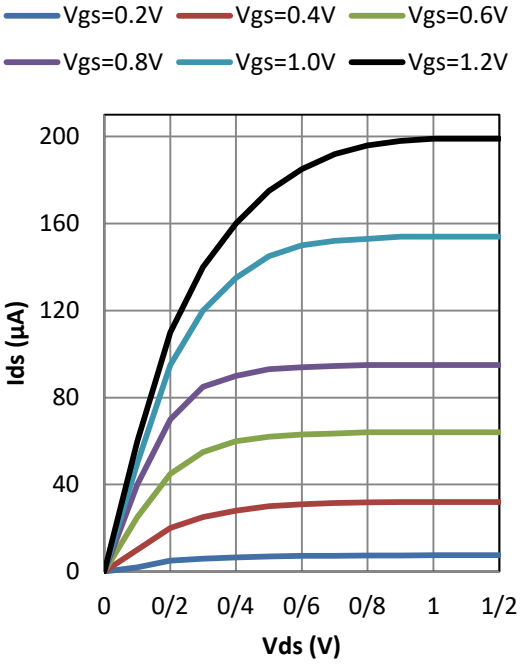
$$V_{th} = \frac{aV_\pi}{\sqrt{3}ed_{CNT}} \qquad (۲)$$

در اینجا V = 3.033 eV انرژی باند کربن در مدل tight binding است، e واحد بار الکترون است و d_{CNT} قطر نانولوله کربنی مورد استفاده در کانال است. از رابطه (۲) آشکار است که ولتاژ آستانه ترانزیستور نانولوله کربنی با قطر نانولوله کربنی در جهت معکوس تغییر می‌کند و از این طریق می‌توان با انتخاب یک بردار کیرال مناسب، به مقدار مورد نیاز برسد. این مزیت عمده ترانزیستور های نانولوله کربنی برای استفاده در منطق سه ارزشی است.



شکل ۱. ساختار یک ترانزیستور نانولوله کربنی که از چند نانولوله در منطقه کانال استفاده شده است [۹].

نمودار جریان-ولتاژ (I-V) ترانزیستور نانولوله کربنی با ولتاژ گیت سورس مختلف (Vgs) در شکل ۲ نشان داده شده است. این شکل نشان می‌دهد که نمودار ترانزیستور نانولوله کربنی شبیه به ترانزیستور اثرمیدانی نیمه‌رسانا اکسید-فلز است. به دلیل امکان ولتاژ آستانه مختلف و ویژگی‌های ترانزیستور اثرمیدانی نیمه‌رسانا اکسید-فلز مانند (I-V)، ترانزیستور نانولوله کربنی مناسب برای اجرای منطق سه ارزشی می‌باشد.



شکل ۲. نمودار جریان-ولتاژ ترانزیستور نانولوله کربنی نوع N در ولتاژهای گیت-سورس مختلف

۳- مرور کارهای گذشته

لچ و فلیپ-فلاپ اجزای پایه‌ای هستند که نقش حیاتی در تعیین عملکرد طرح‌های بلوک ترتیبی دارند. برخی از رایج‌ترین کاربردهای دیجیتالی که در آن از طرح‌های فلیپ-فلاپ استفاده می‌شود، ذخیره‌سازی داده، تقسیم‌کننده‌های فرکانس، ثبت‌کننده‌ها و شمارنده‌ها و... است [۲۵-۲۳]. طراحی منطقی چند ارزشی امکان افزایش قابلیت محاسباتی در طراحی‌های منطق ترتیبی را فراهم می‌کند. به عنوان مثال، در نظر گرفتن یک مورد از طراحی طراحی شمارنده ۲۵ مقداری است. اگر از یک طراحی منطقی باینری معمولی استفاده

شود، ۵ فلیپ-فلاپ برای پیاده سازی مورد نیاز است. از طرف دیگر، اگر از منطق سه ارزشی برای تحقق شمارنده ۲۵ مقداری استفاده شود، ۳ فلیپ فلاپ برای تحقق تعداد معینی از حالت‌ها کافی است. همچنین نیاز به منابع کلاک نیز کاهش می‌یابد زیرا تعداد کمتری فلیپ فلاپ برای پیاده سازی مورد نیاز است. این واقعیت کاملاً شناخته شده است که یکی از منابع غالب سربار در طراحی‌های ترتیبی الکترونیکی به دلیل انتقال منظم ورودی‌های کلاک ساعت است [۱]. بنابراین با به کارگیری یک طراحی منطقی سه ارزشی، به دلیل کاهش تعداد ورودی‌های کلاک ساعت اعمال شده در سراسر فلیپ-فلاپ ها، می‌توان بازده توان مصرفی طراحی‌ها را نیز بهبود بخشید. بنابراین با بهره‌برداری از طراحی منطق سه ارزشی در ساختارهای لچ و فلیپ-فلاپ می‌توان به افزایش تعداد حالت‌ها با نیاز سخت‌افزاری کمتر دست یافت که منجر به کاهش پیچیدگی اتصال برای طرح‌های دیجیتال می‌شود [۲۴]. بنابراین در مقاله [۲۴]، سلول‌های فلیپ-فلاپ سه ارزشی با استفاده از توپولوژی تقسیم‌کننده ولتاژ کارآمد طراحی شده است که به نوبه خود پیچیدگی اتصال کمتر همراه با بهره‌وری انرژی بیشتر را فراهم می‌کند.

منطق سه ارزشی یک مقدار سوم را به فضای بولین منطق دودویی وارد می‌کند. در منطق سه ارزشی، عملیات در ۳ سطح منطقی مختلف به نام‌های منطق 0، 1 و 2 انجام می‌شود که به نوبه خود با سطوح ولتاژ 0، Vdd/2 و Vdd مطابقت دارد. این بخش در مورد پیاده سازی منطق سه ارزشی طراحی‌های D-flip-flop با استفاده از ترانزیستورهای نانولوله کربنی بحث کرده است.

۴- منطق سه ارزشی

با توجه به کارهای گذشته، خانواده‌های منطق سه ارزشی مختلفی برای طراحی گیت‌های منطقی سه ارزشی در دسترس هستند [۲۰]. عملکرد طراحی حاصل شده بستگی به کارایی توپولوژی تقسیم کننده ولتاژ اتخاذ شده برای تحقق سطح منطقی میانی دارد (Vdd/2). در ابتدا، لین و همکاران [۲۶] طرح STI را ارائه کردند که از بار فعال ترانزیستور نانولوله کربنی یا ترانزیستورهای بار متصل به دیود به جای بار مقاومتی در تحقق شبکه تقسیم ولتاژ استفاده می‌کرد. طراحی [۲۶] عملکرد بهتری را از نظر بازده PDP و مساحت تراشه ارائه می‌دهد. روش دیگری که در [۲۷] برای طراحی گیت‌های منطقی سه ارزشی تعریف شده است، گرفتن میانگین حسابی مکمل‌های منفی و مثبت برای محاسبه تابع خروجی استاندارد است. در طراحی STI [۲۷]، ابتدا معادل‌های NTI و PTI تولید می‌شوند و سپس به ترانزیستورهای نوع P و N منتقل می‌شوند تا خروجی‌های سه ارزشی نهایی به دست آید. طراحی [۲۷] مزایای قابلیت درایو بهتر با سطح سربار کمتر را ارائه می‌دهد، اما در مقایسه با طرح‌های قبلی مشکل اتلاف توان استاتیکی بالایی دارد. در تحقق STI با استفاده از توپولوژی بار ترانزیستوری [۲۸]، طراحی [۲۷] همیشه بر روی ترانزیستورهای نوع P و نوع N برای تقسیم ولتاژ با گیت ترانزیستور متصل به ترمینال منبع جایگزین می‌شود. آخرین اثر تبریزچی و همکاران [۲۹] یک خانواده منطق سه ارزشی کارآمد دیگر را ارائه می‌دهند. در ساختار طراحی STI [۲۹]، بخش تقسیم‌کننده ولتاژ مجدداً طراحی شده است که در آن موقعیت ترانزیستورهای شبکه بالا

کشنده و پایین کشنده که با استفاده از تقسیم ولتاژ، منطق میانی را تولید می‌کردند، تغییر کرده و بجای تقسیم ولتاژ از تقسیم جریانی استفاده شده است.

در مقاله های [۳۶,۳۵] به بررسی منطق سه ارزشی و چالش های آن برای پیاده سازی در عمل پرداخته شده است. در این مقالات نکات مربوط به مسیرکشی قطعه و مساحت مصرفی را به خوبی بررسی کرده و نشان داده اند که استفاده از منطق چند ارزشی بسیار توانمند در حل مشکل کوچک سازی ترانزیستور های MOSFET را دارد.

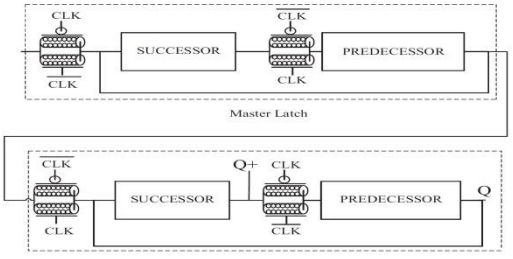
۵- فلیپ-فلاپ سه ارزشی

در طراحی منطق ترتیبی، طرح‌های لچ و فلیپ-فلاپ عناصر پایه ای هستند که برای ذخیره سازی داده‌ها استفاده می‌شوند. یک بیت از داده‌ها را می‌توان در یک لچ یا یک فلیپ فلاپ ذخیره کرد. لچ یک گیت حساس به سطح است که در آن خروجی به جای لبه بالا رونده یا پایین رونده سیگنال پالس ساعت ساعت اعمال شده، تحت تأثیر سطح منطق ورودی قرار می‌گیرد. در طراحی فلیپ-فلاپ معمولی از دو لچ به عنوان master و slave استفاده می‌شود که یکی حساس به سطح بالا و دیگری حساس به سطح پایین می‌باشد. در پیاده سازی فلیپ فلاپ سه ارزشی، تغییر سطح 0 سیگنال کلاک ساعت به مقدار 2 را یک لبه بالا رونده می‌باشد که باید مقدار D ورودی به Q خروجی منتقل شود. پس سطح میانی در سیگنال کلاک وجود ندارد. جدول عملکرد فلیپ فلاپ نوع D در جدول ۱ آورده شده است.

جدول ۱. عملکرد فلیپ-فلاپ نوع D

Clock	D (input)	Q (output)
۰ to ۲	۰	X to ۰
۰ to ۲	۱	X to ۱
۰ to ۲	۲	X to ۲

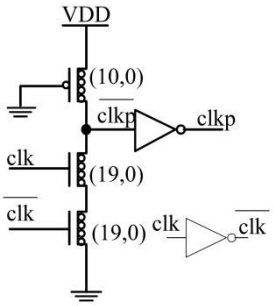
در [۳۰] یک فلیپ فلاپ سه ارزشی نوع D ارائه شده است که در شکل ۳ نشان داده شده است. این ساختار از دو قسمت Master و Slave تشکیل شده است. هر دو قسمت حساس به سطح می‌باشند که ترکیب آنها حساس به لبه ایجاد شده است. این ساختار از پایداری مناسبی نسبت به تغییرات نویز ورودی، ادوات ساخت، منابع تغذیه برخوردار است[۳۰].مشکل اصلی این ساختار توان مصرفی بسیار بالای آن است که به دلیل تعداد ترانزیستور زیاد آن است که ۴۰ عدد می‌باشد. مقدار تاخیر بیان شده در مقاله بدست آمده از شبیه سازی برابر ۲۳.۵ پیکو ثانیه است که تاخیر انتقال ورودی Slave به خروجی آن است. مقدار تاخیر وروودی Master به ورودی Slave محاسبه نشده است. به دلیل ساختار مشابه Slave و Master تاخیر بدست آمده آنها نیز تقریبا یکسان خواهد بود. پس مقدار تاخیر کلی مدار برابر ۴۷پیکو ثانیه می‌باشد. چون فرکانس کلاس بیشتر از این مقدار باشد مدار به درستی کار نخواهد کرد.



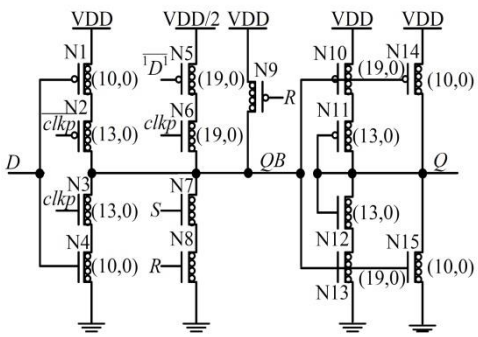
شکل ۳. ساختار ارائه شده برای فلیپ-فلاپ نوع D در مقاله [30] که از دو لچ Master و Slave تشکیل شده است.

یکی دیگر از مزایای ساختار ارائه شده در[۳۰] وجود خروجی +Q است کـه برابـر Q + 1 اسـت. وجود این خروجی برای پیاده سازی شمارنده سـه ارزشی بسیار کارآمد می‌باشد که در مقاله نیـز بـه آن اشـاره شـده اسـت و همچنـین بـا اسـتفاده از فلیپ-فـلاپ ارائـه شـده، یـک سـاختار شـمارنده جدید نیز پیشنهاد شده است.

در مقاله [۳۱] یک ساختار فلیپ فلاپ جدیـد بـا اسـتفاده از تولیـد سـیگنال پـالس (Pulse Generation) ارائه شده است. این سـاختار تعـداد ترانزیستور کمتری نسبت به [۳۰] دارد. همچنین در این ساختار دو سیگنال S و R نیز پیاده سـازی شده است. تنها مشکل این ساختار تـوان مصـرفی زیاد آن است که به دلیل وجود جریـان اسـتاتیک در خروجی حین تولید سیگنال میانی اسـت. ایـن جریان استاتیک قدرت درایـو خروجـی را نیـز بـه شدت کاهش می‌دهد. ساختار مدار ارائـه شـده در شکل ۴ و شکل ۵ نشان داده شده است.

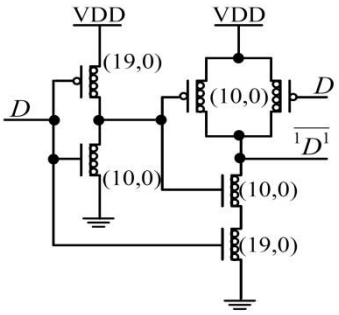


شکل ٤. مدار تولید کننده پالس PG [۳۱].



شکل ۵.ساختار فلیپ فلاپ ارائه شده در [31].

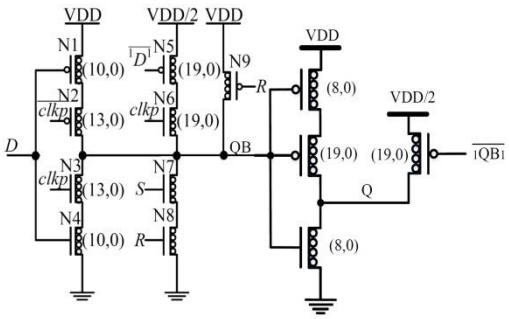
مدار تولید سیگنال 1D1 که در پیاده سازی فلیپ فلاپ [۳۱] مورد استفاده قرار گرفته نیز در شکل ۶ نشان داده شده است.



شکل ۶.مدار تولید کننده سیگنال 1D1 در مقاله [۳۱].

۶- مدار ارائه شده و نتایج شبیه سازی

مدار ارائه شده در [۳۱] بـه دلیـل داشـتن تعـداد ترانزیستور پایین باید توان مصرفی پایینی داشـته باشد اما به دلیل وجود توان مصرفی استاتیک بالا، این امر محقق نشده است. در مدار ارائه شده ایـن مشکل حل شـده اسـت. بـرای ایـن کـار قسـمت انتهایی مدار شکل ۵ حذف شده و بجای آن مـدار پینشهادی را قرار می‌دهیم. ساختار ارائه شـده در شـکل ۷ نشـان داده شـده اسـت. همـانطور کـه مشاهده می‌شود تعداد ترانزیستورهای مـدار ارائـه شده تقریبا همانند مدار [۳۱] می‌باشد. بـا حـذف جریان استاتیک، مدار ارائه شده مقاومت بیشـتری نسـبت بـه نـویز و تغییـرات سـطح ولتـاژ ورودی خواهد داشت، همچنـین چـون در عمـل سـاخت مقاومت کاملا یکسان امکانپذیر نیست مـدار [۳۱] به صورت عملی کار نخواهد کرد کـه ایـن مشـکل در مدار ارائه شده به خوبی حل شده است.

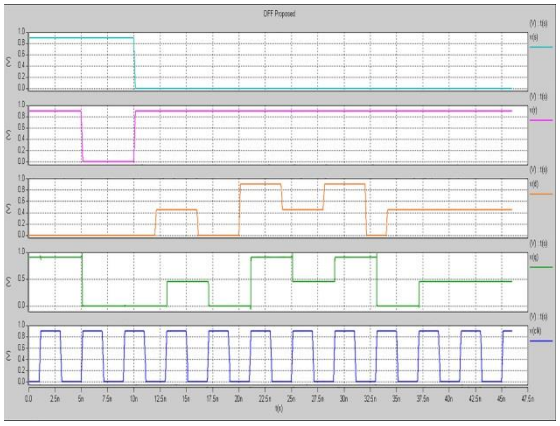


شکل ۷. مدار ارائه شده برای ساختار فلیپ فلاپ

حال در ادامه به شبیه سازی و مقایسه مدارهای مورد بررسی با مدار ارائه شده می‌پردازیم.

۷- شبیه‌سازی و نتایج

برای شبیه سازی مدارها از نرم افزار HSPICE Synopsys در تکنولوژی ۳۲ نانومتری ترانزیستور نانولوله کربنی ارائه شده در [۳۲] استفاده شده است. ولتاژ منبع تغذیه برابر 0.9 ولت می‌باشد. فرکانس ورودی سیگنال کلاک ساعت برابر ۲۵۰ مگاهرتز می‌باشد. مقدار تاخیر از ۵۰ درصد ورودی تا ۵۰ درصد خروجی محاسبه شده است و توان مصرفی نیز، توان مصرفی میانگین می‌باشد. خروجی بدست آمده از شبیه سازی مدار ارائه شده در شکل ۸ آورده شده است.



شکل ۸. خروجی بدست آمده از شبیه سازی مدار ارائه شده برای فلیپ-فلاپ سه ارزشی

همانطور که در شکل ۸ مشاهده می‌شود، مدار ارائه شده به درستی عمل کرده و هر سه سطح موجود را به خوبی درایو می‌کند. همچنین خروجی Q نیز دارای حاشیه نویز قابل قبولی می‌باشد. در مدار ارائه شده به دلیل نداشتن جریان استاتیک در ارزش میانی، سطح ولتاژ آن به خوبی ثابت بوده که این خود باعث افزایش قدرت جریان‌دهی طبقه‌های بعدی می‌شود. سطح ولتاژ ثابت همچنین جریان‌های ناخواسته‌ی طبقه‌های بعدی را نیز به خوبی کاهش داده و مدار را به تغییرات ناخواسته حین ساخت مقاوم‌تر می‌کند.نتایج بدست آمده از شبیه سازی مدارهای مورد مقایسه در جدول ۲ آورده شده است.

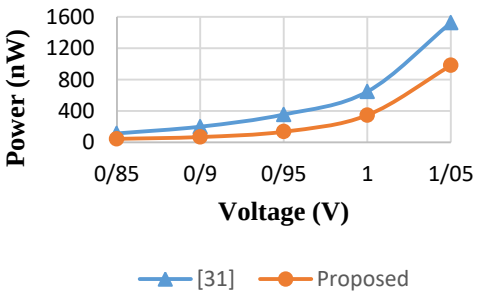
جدول ۲- نتایج بدست آمده از شبیه سازی مدارهای مورد مقایسه

Design	Power (nW)	Delay (pS)	PDP (aJ)	# Trans
[۳۳]	۴۷۱	۴۴.۱	۲۰.۷۸	۴۶
[۳۰]	۱۷۸	۲۳.۵(۴۷)	۴.۷۸(۸.۳۶)	۴۰
[۳۱]	۲۰۰.۶	۵۴.۶	۱۰.۹۵	۲۶
[۳۴]	۱۲۹۰	۳۵.۰	۴۵.۱۵	۴۰
[۳۵]	۵۰۷	۸۴.۰	۴۲.۵۷	۴۲
Proposed	۶۹.۱	۸۴.۲	۵.۸۱	۳۰

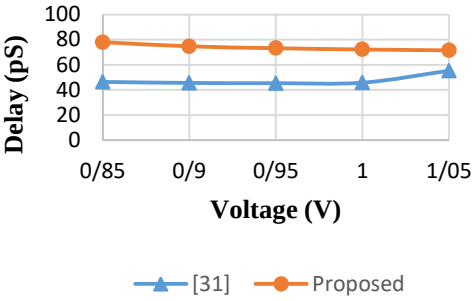
همانطور که در جدول ۲ مشاهده می‌شود، مدار ارائه شده کمترین میزان توان مصرفی دارد که تقریبا ۶۱ درصد از بهترین ساختار مورد مقایسه (مرجع [۳۰]) بهتر می‌باشد. همچنین مقدار PDP مدار ارائه شده نیز کمترین مقدار را در ساختارهای مورد مقایسه دارد اگر مقدار تاخیر محاسبه شده برای ساختار [۳۰] را تصحیح کنیم. همچنین از نظر تعداد ترانزیستور نیز ساختار ارائه شده وضعیت بسیار خوبی دارد و تقریبا مشابه ساختار ارائه شده در [۳۱] می‌باشد. یک مورد

دیگر که باید به آن اشاره کنیم، ورودی سیگنال R و S می‌باشد که در دو ساختار [۳۱] و ارائه شده در نظر گرفته شده‌اند و برای پیاده سازی به عنوان رجیستر و شمارنده بسیار مفید خواهند بود. پس وجود این دو سیگنال مزیتی است که باید در مقایسه ساختارها در نظر گرفته شود. با توجه به نتایج جدول ۲، ساختارهای مورد مقایسه دارای جریان استاتیک می‌باشند که در عمل امکان ساخت این ساختارها وجود ندارند و باید این مشکل به درستی حل شده تا امکان استفاده از این ساختارها فراهم شود. ساختار ارائه شده از این نظر، این مشکل را نداشته و امکان پیاده‌سازی را به خوبی فراهم کرده است.

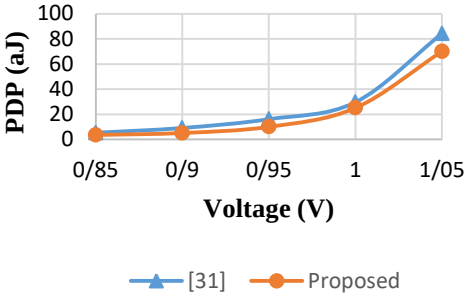
در شکل ۹ تا شکل ۱۱ مدار ارائه شده بر حسب تغییرات ولتاژ منبع تغذیه با مرجع [۳۱] مورد مقایسه قرار گرفته است. همانطور که مشاهده می شود مدار ارائه شده از نظر کارکرد در ولتاژهای مختلف وضعیت بهتری نسبت به [۳۱] دارد. با افزایش مقدار ولتاژ، مقدار توان مصرفی افزایش یافته و مقدار تاخیر کاهش می‌یابد. در مدار [۳۱] در ولتاژهای بالا به دلیل افزایش جریان استاتیک مقدار تاخیر نیز افزایش یافته و عملکرد صحیح مدار را دچار مشکل می‌کند. مدار ارائه شده این مشکل را نداشته و با افزایش ولتاژ منبع تغذیه قدرت درایو آن نیز افزایش می‌یابد.



شکل ۹. مقایسه توان مصرفی بر حسب ولتاژ منبع تغذیه



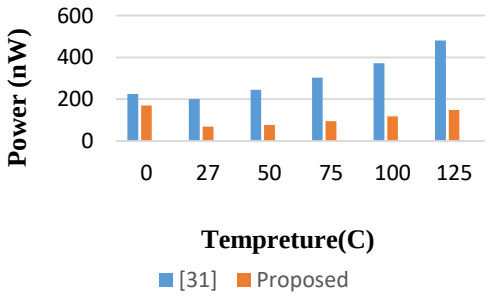
شکل ۱۰. مقایسه تاخیر بر حسب ولتاژ منبع تغذیه



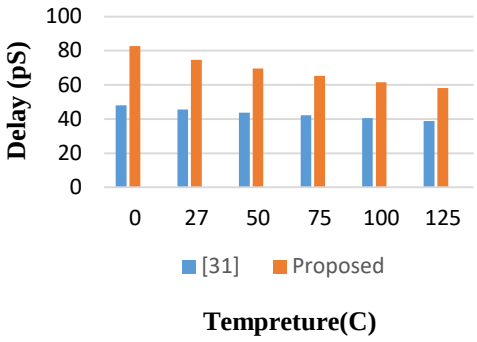
شکل ۱۱. مقایسه PDP بر حسب ولتاژ منبع تغذیه

البته به دلیل خاصیت چند ارزشی بودن مدارها، نباید انتظار داشت که مدارها در همه ولتاژها به خوبی کار کنند زیرا با تغییر ولتاژ منبع ولتاژ ارزش میانی نیز تغییر می کند و باعث به هم خوردن کارکرد صحیح مدار می شود.

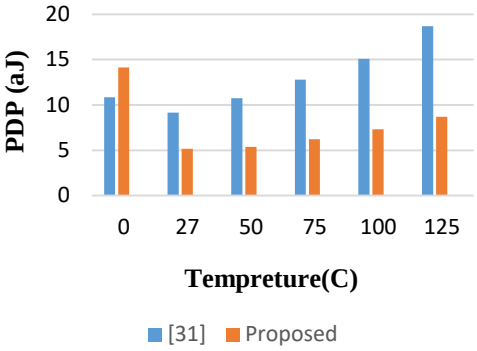
در شکل ۱۲ تا ۱۴ مدار ارائه شده از نظر تغییرات دما نیز مورد مقایسه قرار گرفته است. در این حالت نیز مدار ارائه شده عملکرد بسیار بهتری نسبت به مدار [۳۱] از خود نشان می دهد.



شکل ۱۲. مقایسه توان مصرفی بر حسب دما



شکل ۱۳. مقایسه تاخیر بر حسب دما



شکل۱٤. مقایسه مقدار PDP بر حسب دما

با افزایش دمای کاری توان مصرفی مدارها نیز افـزایش مـی‌یابـد. ایـن تغییـرات در مـدار مـورد مقایسه، همانند شکل ۱۲، بسـیار بیشـتر از مـدار ارائه است. مدار ارائه شده به دلیل نداشتن جریان استاتیک، به تغییرات ساخت بسیار مقاوم است که نتایج شبیه‌سازی ها هم این را نشان می‌دهد.

همانطور که از نتایج شبیه سازی هـا مشـخص اسـت، مـدار ارائـه شـده در همـه شـرایط کـاری وضـعیت مناسـبی داشـته و بـه خـوبی مشـکلات مدار[۳۱] را حل کرده است و نتایج بسـیار خـوبی بدست آمده است. ایـن مـدار بـه دلیـل مقاومـت مناسب نسـبت بـه سـطح نـویز و تغییـرات ولتـاژ ورودی برای کاربردهای هوافضا بسیار مطلوب می باشد و چون در این کاربردها توان مصرفی بسـیار مهم می باشد مدار ارائه شـده پیشـنهاد مناسـبی برای استفاده در طراحی قطعات مورد اسـتفاده در کاربردهای هوافضا است.همچنین به دلیـل اینکـه قطعات مبتنی بر CNT بخاطر ویژگی‌های منحصر به فـرد خـود ماننـد ابعـاد بسـیار کوچـک، تـوان مصرفی پایین و پایداری الکتریکی و مکانیکی بـالا می‌توانند طول عمر بیشتری نسـبت بـه همتایـان سیلیکونی داشته باشند. این امر منجر بـه کـاهش نیاز به تعمیر و نگهداری در مأموریت‌های فضـایی طولانی می‌شود.

۸-جمع‌بندی و نتیجه‌گیری

در این مقاله ما ابتدا ترانزیستور نانولوله کربنـی را مورد ارزیـابی قـرار دادیـم. سـپس مـدارهای سـه ارزشی فلیپ-فلاپ را بررسی کرده و با حذف توان مصرفی ایستای یکی از ساختارها، مـدار جدیـدی برای فلیپ-فلاپ سـه ارزشـی ارائـه کـردیم. ایـن سـاختار ارائـه شـده دارای کمتـرین مقـدار تـوان مصرفی در مقایسه با ساختارهای دیگر مـی‌باشـد. همچنین مدار ارائه شده از نظر PDP نیز کمترین مقدار را داشته و از نظر تعـداد ترانزیسـتور مـورد استفاده نیز بسیار بهینه می‌باشد. مدار ارائـه شـده به دلیل مقاومت مناسب نسبت بـه سـطح نـویز و تغییرات ولتـاژ ورودی بـرای کاربردهـای هوافضـا بسیار مطلوب می باشد و چـون در ایـن کاربردهـا توان مصرفی بسیار مهم می باشد مدار ارائه شـده پیشنهاد مناسبی برای استفاده درطراحی قطعـات مورد استفاده در کاربردهای هوافضا است.همچنین ساختار ارائه شده دارای دو سیگنال ورودی S و R نیز می‌باشد که این دو سیگنال برای پیاده سـازی به عنوان رجیستر و شمارنده مورد نیاز می‌باشند.

۹- مآخذ

[1] Weste, N.H. and Harris, D., 2015. CMOS VLSI design: a circuits and systems perspective. Pearson Education India.

[2] Iijima, Sumio. "Helical microtubules of graphitic carbon." nature 354, no. 6348 (1991): 56.

[3] Novoselov, Kostya S., Andre K. Geim, Sergei V. Morozov, D. Jiang, Y_ Zhang, Sergey V. Dubonos, Irina V. Grigorieva, and Alexandr A. Firsov. "Electric field effect in atomically thin carbon films." science 306, no. 5696 (2004): 666-669.

[4] Tans, Sander J., Alwin RM Verschueren, and Cees Dekker. "Room-temperature transistor based on a single carbon nanotube." Nature 393, no. 6680 (1998): 49.

[5] Bachtold, Adrian, Peter Hadley, Takeshi Nakanishi, and Cees Dekker. "Logic circuits with carbon nanotube transistors." Science 294, no. 5545 (2001): 1317-1320.

[6] Kundu, Sandip, Saraju P. Mohanty, and Nagarajan Ranganathan. "Guest editorial-Design methodologies for nanoelectronic digital and analogue circuits." IET Circuits, Devices & Systems 7, no. 5 (2013): 221-222.

[7] Raychowdhury, Arijit, and Kaushik Roy. "Carbon-nanotube-based voltage-mode multiple-valued logic design." IEEE Transactions on Nanotechnology 4, no. 2 (2005): 168-179.

[8] Moaiyeri, Mohammad Hossein, Akbar Doostaregan, and Keivan Navi. "Design of energy-efficient and robust ternary circuits for nanotechnology." IET Circuits, Devices & Systems 5, no. 4 (2011): 285-296.

[9] Lin, Sheng, Yong-Bin Kim, and Fabrizio Lombardi. "CNTFET-based design of ternary logic gates and arithmetic circuits." IEEE transactions on nanotechnology 10, no. 2 (2009): 217-225.

[10] Navi, K., M. Rashtian, A. Khatir, P. Keshavarzian, and O. Hashemipour. "High speed capacitor-inverter based carbon nanotube full adder." Nanoscale research letters 5, no. 5 (2010): 859.

[11] Moaiyeri, Mohammad Hossein, Reza Faghih Mirzaee, Keivan Navi, and Omid Hashemipour. "Efficient CNTFET-based ternary full adder cells for nanoelectronics." Nano-Micro Letters 3, no. 1 (2011): 43-50.

[12] Keshavarzian, Peiman, and Rahil Sarikhani. "A novel CNTFET-based ternary full adder." Circuits, Systems, and Signal Processing 33, no. 3 (2014): 665-679.

[13] Sridharan, K., Sundaraiah Gurindagunta, and Vikramkumar Pudi. "Efficient multiternary digit adder design in CNTFET technology." IEEE transactions on Nanotechnology 12, no. 3 (2013): 283-287.

[14] Jasemi, Masoomeh, Reza Faghih Mirzaee, Keivan Navi, and Nader Bagherzadeh. "Voltage mirror circuit by carbon nanotube field effect transistors for mirroring dynamic random access memories in multiple-valued logic and fuzzy logic." IET Circuits, Devices & Systems 9, no. 5 (2015): 343-352.

[15] Miller, D. Michael, and Mitchell A. Thornton. "Multiple valued logic: Concepts and representations." Synthesis lectures on digital circuits and systems 2, no. 1 (2007): 1-127.

[16] Behrooz, Parhami. "Computer arithmetic: Algorithms and hardware designs." Oxford University Press 19 (2000): 512583-512585.

[17] Deng, Jie, and H-S. Philip Wong. "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part I: Model of the intrinsic channel region." IEEE Transactions on Electron Devices 54, no. 12 (2007): 3186-3194.

[18] Dhande, A. P., and V. T. Ingole. "Design and implementation of 2 bit ternary ALU slice." In Proc. Int. Conf. IEEE-Sci. Electron., Technol. Inf. Telecommun, pp. 17-21. 2005.

[19] Murotiya, Sneh Lata, and Anu Gupta. "Design of high speed ternary full adder and three-input XOR circuits using CNTFETs." In 2015 28th International Conference on VLSI Design, pp. 292-297. IEEE, 2015.

[20] Karmakar, Supriya, John A. Chandy, and Faquir C. Jain. "Design of ternary logic combinational circuits based on quantum dot gate FETs." IEEE Transactions on Very Large Scale Integration (VLSI) Systems 21, no. 5 (2012): 793-806.

[21] Cotofana, Sorin, Casper Lageweg, and Stamatis Vassiliadis. "Addition related arithmetic operations via controlled transport of charge." IEEE Transactions on Computers 54, no. 3 (2005): 243-256.

[22] Srinivasu, Bodapati, and K. Sridharan. "Carbon nanotube FET-based low-delay and low-power multi-digit adder designs." IET Circuits, Devices & Systems 11, no. 4 (2016): 352-364.

[23] Bansal, Malti, Harmandeep Singh, and Gaurav Sharma. "A taxonomical review of multiplexer designs for electronic circuits

& devices." Journal of Electronics 3, no. 02 (2021): 77-88.
[24] Muranaka, Noriaki, and Shigeru Imanishi. "Construction of up-down-type and shift-register-type counters using ternary flip-flop circuits." Systems and Computers in Japan 16, no. 5 (1985): 97-105.
[25] Tabrizchi, Sepehr, Atiyeh Panahi, Fazel Sharifi, Hamid Mahmoodi, and Abdel-Hameed A. Badawy. "Energy-efficient ternary multipliers using CNT transistors." Electronics 9, no. 4 (2020): 643.
[26] Lin, Sheng, Yong-Bin Kim, and Fabrizio Lombardi. "CNTFET-based design of ternary logic gates and arithmetic circuits." IEEE transactions on nanotechnology 10, no. 2 (2009): 217-225.
[27] Moaiyeri, Mohammad Hossein, Akbar Doostaregan, and Keivan Navi. "Design of energy-efficient and robust ternary circuits for nanotechnology." IET Circuits, Devices & Systems 5, no. 4 (2011): 285-296.
[28] Samadi, Hadi, Ali Shahhoseini, and Faramarz Aghaei-liavali. "A new method on designing and simulating CNTFET_based ternary gates and arithmetic circuits." Microelectronics Journal 63 (2017): 41-48.
[29] Tabrizchi, Sepehr, MohammadReza Taheri, Keivan Navi, and Nader Bagherzadeh. "Novel CNFET ternary circuit techniques for high-performance and energy-efficient design." IET Circuits, Devices & Systems 13, no. 2 (2019): 193-202.
[30] Rahbari, Katayoun, and Seied Ali Hosseini. "Novel ternary D-flip-flap-flop and counter based on successor and predecessor in nanotechnology." AEU-International Journal of Electronics and Communications 109 (2019): 107-120.
[31] Kang, Yaopeng, Pengjun Wang, Yuejun Zhang, and Gang Li. "Design of ternary pulsed reversible counter based on CNFET." In 2017 IEEE 12th International Conference on ASIC (ASICON), pp. 375-378. IEEE, 2017.
[32] Deng, Jie, and H-S. Philip Wong. "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part I: Model of the intrinsic channel region." IEEE Transactions on Electron Devices 54, no. 12 (2007): 3186-3194.
[33] Sharma, Trapti, and Deepa Sharma. "Design of ternary flip-flop cells using Maximum/Minimum logic operators in carbon nanotube technology." In 2022 Second International Conference on Artificial Intelligence and Smart Energy (ICAIS), pp. 1693-1697. IEEE, 2022.
[34] Moaiyeri, Mohammad Hossein, Molood Nasiri, and Nooshin Khastoo. "An efficient ternary serial adder based on carbon nanotube FETs." Engineering Science and Technology, an International Journal 19, no. 1 (2016): 271-278.
[35] Andreev, Maksim, Seunghwan Seo, Kil-Su Jung, and Jin-Hong Park. "Looking beyond 0 and 1: principles and technology of multi-valued logic devices." Advanced Materials 34, no. 51 (2022): 2108830.
[36] Sandhie, Zarin Tasnim, Jill Arvindbhai Patel, Farid Uddin Ahmed, and Masud H. Chowdhury. "Investigation of multiple-valued logic technologies for beyond-binary era." ACM Computing Surveys (CSUR) 54, no. 1 (2021): 1-30.
[37] Zecchi, S.; Cristoforo, G.; Piatti, E.; Torsello, D.; Ghigo, G.; Tagliaferro,A.; Rosso,C.; Bartoli, M.A Concise Review of Recent Advancements in Carbon NanotubesforAerospace Applications.Micromachines 2025; 16(1):53.